

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/013355

International filing date: 21 July 2005 (21.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-282017
Filing date: 28 September 2004 (28.09.2004)

Date of receipt at the International Bureau: 01 September 2005 (01.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 9 月 2 8 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 2 8 2 0 1 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

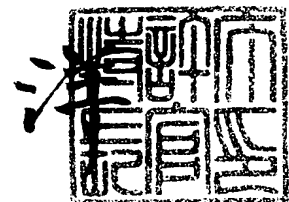
J P 2 0 0 4 - 2 8 2 0 1 7

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 8 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 PR4-00321
【提出日】 平成16年 9月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/04
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 谷田 一真
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 宮田 修
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100087701
 【弁理士】
 【氏名又は名称】 稲岡 耕作
【選任した代理人】
 【識別番号】 100101328
 【弁理士】
 【氏名又は名称】 川崎 実夫
【手数料の表示】
 【予納台帳番号】 011028
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲
 【物件名】 明細書 1
 【物件名】 図面
 【物件名】 要約書 1
 【包括委任状番号】 0402732

【書類名】特許請求の範囲

【請求項 1】

固体装置と、

機能素子が形成された機能面を有し、その機能面を上記固体装置の表面に対向させて、
上記固体装置の表面との間に所定間隔を保持して接合される半導体チップと、

上記固体装置の上記半導体チップとの対向面に設けられ、その対向面を垂直に見下ろす
平面視において、上記半導体チップよりも大きなサイズに形成された開口を有する絶縁膜
と、

上記固体装置と上記半導体チップとの間を封止する封止層とを含むことを特徴とする半
導体装置。

【請求項 2】

上記封止層が、上記開口を埋めつくすように設けられていることを特徴とする請求項 1
記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

この発明は、フリップチップ接続された半導体チップを有する半導体装置に関する。

【背景技術】

【0002】

半導体装置の小型化および高密度実装のために、半導体チップの機能素子が形成された機能面を固体装置に対向させて、半導体チップを固体装置に接続するフリップチップ接続構造が注目されている。

図4は、フリップチップ接続構造の半導体装置の図解的な断面図である。この半導体装置51は、配線基板52と、この配線基板52の表面52aに機能面53aを対向させて接続された半導体チップ53とを含んでいる。

【0003】

配線基板52の表面52aには、矩形状の接続パッド58が形成されており、配線基板52と半導体チップ53とは、その接続パッド58に接続された接続部材55によって、所定間隔を保つように接合され、かつ互いに電氣的に接続されている。また、配線基板52の表面52aには、その表面52aと半導体チップ53の機能面53aとの間隔より小さい厚みを有するソルダレジスト膜56が形成されている。

【0004】

ソルダレジスト膜56には、接続パッド58を露出させるための矩形状の開口56aが形成されている。この開口56aは、図5に示すように、平面視で接続パッド58よりも大きく形成されており、この開口56a内において、接続パッド58に接続部材55が接続されている。

また、ソルダレジスト膜56の表面と半導体チップ53の機能面53aとの間には、微小な隙間が形成されており、この隙間は、アンダーフィル層57によって封止されている。このアンダーフィル層57は、配線基板52と半導体チップ53との接合後に、それらの間に液状のアンダーフィル材を注入することによって形成される。

【0005】

具体的には、配線基板52と半導体チップ53との接合後、図6Aに示すように、半導体チップ53の外周部の近傍に、ディスベンサ60が配置されて、このディスベンサ60からソルダレジスト膜56の表面と半導体チップ53の機能面53aとの間に液状のアンダーフィル材が流し込まれる。アンダーフィル材は、毛細管現象によって、図6Bに示すように、ソルダレジスト膜56の表面と半導体チップ53の機能面53aとの間に進入して広がっていく。そして、ソルダレジスト膜56の表面と半導体チップ53の機能面53aとの間の全域がアンダーフィル材で埋められると、ディスベンサ60からのアンダーフィル材の吐出が停止され、その後、アンダーフィル材が硬化されることによって、アンダーフィル層57が得られる。

【非特許文献1】Chee Choong Kooi、他6名、"Capillary Underfill and Mold Encapsulation Materials for Exposed Die Flip Chip Molded Matrix Array Package with Thin Substrate"、2003 Electronics Packaging Technology Conference、p.324-330

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、開口56a内と開口56a外との間に段差が生じ、また、開口56aの上方が半導体チップ53で制限されているため、アンダーフィル材が開口56a内に流れ込むときに、その開口56aの周縁部（段差部分）に存在している空気が上手く抜けずに、アンダーフィル材に取り込まれて、アンダーフィル層57に、いわゆるボイド61を生じることがあった。たとえば、アンダーフィル層57にボイドが生じていると、リフロー工程

で、アンダーフィル層 5 7 にクラックが発生し、半導体装置の信頼性の低下を招く。

【0007】

そこで、この発明の目的は、封止層中のボイドの形成を防止できる構成の半導体装置を提供することである。

【課題を解決するための手段】

【0008】

上記の目的を達成するための請求項 1 記載の発明は、固体装置 (2, 22) と、機能素子 (4) が形成された機能面 (3a) を有し、その機能面を上記固体装置の表面に対向させて、上記固体装置の表面との間に所定間隔を保持して接合される半導体チップ (3) と、上記固体装置の上記半導体チップとの対向面 (2a, 22a) に設けられ、その対向面を垂直に見下ろす平面視において、上記半導体チップよりも大きなサイズに形成された開口 (6a) を有する絶縁膜 (6) と、上記固体装置と上記半導体チップとの間を封止する封止層 (7) とを含むことを特徴とする半導体装置 (1, 21) である。

【0009】

なお、括弧内の数字は、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

この発明によれば、絶縁膜の開口は、固体装置の半導体チップとの対向面を垂直に見下ろす平面視において、半導体チップよりも大きなサイズに形成されている。言い換えれば、絶縁膜の開口は、固体装置の対向面を垂直に見下ろす平面視において、その中に半導体チップが完全に含まれるように形成されている。これにより、固体装置と半導体チップとの隙間に、絶縁膜の開口による段差が生じることを防止できるとともに、その開口周縁部の上方のスペースが半導体チップによって制限されることを防止できる。

【0010】

そのため、この半導体装置の製造工程において、絶縁膜の形成および固体装置と半導体チップとの接合の後、封止層を形成するために、液状の封止樹脂材を固体装置と半導体チップとの隙間に充填する際、液状の封止樹脂材に空気を取り込まれることによるボイドの形成を防止することができる。その結果、この半導体装置の信頼性を向上させることができる。

【0011】

固体装置の半導体チップとの対向面を垂直に見下ろす平面視において、半導体チップの外周と絶縁膜の開口縁部との間隔は、0.1mm 以上であることが好ましい。

固体装置は、絶縁基板に配線が形成されてなる配線基板であってもよく、半導体基板であってもよい。

絶縁膜は、ソルダレジストであってもよい。この場合、ソルダレジストで覆われた領域における電氣的短絡 (ショート) を防止することができる。

【0012】

上記封止層は、請求項 2 記載のように、上記開口内を埋めつくすように設けられていてもよい。これにより、固体装置において、絶縁膜の開口からの露出部を封止層により保護することができる。

【発明を実施するための最良の形態】

【0013】

以下では、この発明の実施の形態を、図面を参照して詳細に説明する。

図 1 は、本発明の第 1 の実施形態に係る半導体装置の図解的な断面図である。

この半導体装置 1 は、配線基板 2 と、この配線基板 2 の表面 2a に機能面 3a を対向させて接続された半導体チップ 3 とを含んでいる。配線基板 2 の表面 2a には、矩形状の接続パッド (図 2C および図 2D 参照) が形成されており、配線基板 2 と半導体チップ 3 とは、その接続パッドに接続された接続部材 5 によって、所定間隔を保つように接合され、かつ互いに電氣的に接続されている。

【0014】

配線基板 2 の表面 2a には、その表面 2a と半導体チップ 3 との間隔より小さい厚みを

有するソルダレジスト膜6が形成されている。このソルダレジスト膜6により、配線基板2の表面に形成されている配線間での電氣的短絡が防止されている。ソルダレジスト膜6には、表面2aを垂直に見下ろす平面視において、半導体チップ3よりも大きなサイズを有する開口6aが形成されている。言い換えれば、ソルダレジスト膜6には、表面2aを垂直に見下ろす平面視において、その内部に半導体チップ3が完全に含まれるようなサイズの開口6aが形成されている。これにより、配線基板2と半導体チップ3との隙間G（配線基板2と半導体チップ3との間であって、表面2aを垂直に見下ろす平面視において、半導体チップ3と重なる領域）には、ソルダレジスト膜6が存在していない。

【0015】

表面2aを垂直に見下ろす平面視において、半導体チップ3の外周とソルダレジスト膜6の開口6aの縁部との間隔Dは、0.1mm以上にされている。

配線基板2と半導体チップ3との隙間Gおよびその周辺には、アンダーフィル層7が設けられている。アンダーフィル層7は、ソルダレジスト膜6の開口6aを埋めつくすように形成されており、アンダーフィル層7によって、隙間Gが封止されるとともに、機能面3a、接続部材5、および開口6aからの表面2aの露出部が保護されている。

【0016】

配線基板2の端部には、図示しない配線により接続部材5と電氣的に接続された端面電極8が形成されている。端面電極8は、配線基板2の表面2aから端面を経て、表面2aの反対側の外部接続面2bに至るように形成されている。この半導体装置1は、端面電極8において、他の配線基板（実装基板）との電氣的接続を達成することができる。

図2Aないし図2Dは、図1に示す半導体装置1の製造方法を説明するための図解的な断面図である。半導体装置1は、配線基板2の表面2aに対して、半導体チップ3を、その機能面3aを対向させて接合した後、ソルダレジスト膜6の開口6a内にアンダーフィル材7Pを注入し、そのアンダーフィル材7Pを硬化させてアンダーフィル層7を形成することによって得られる。

【0017】

具体的には、まず、複数の配線基板2が作り込まれた基板15が用意される。

次に、この基板15の表面15a（配線基板2の表面2aに対応する面）の全面に液状で感光性を有するソルダレジスト膜6が塗布（たとえば、スピンコートによる）または印刷された後、露光および現像により、半導体チップ3よりも大きなサイズを有する開口6aが形成される。

【0018】

次に、機能素子4の電極に接続された突起電極（パンプ）18を有する半導体チップ3が用意される。突起電極18は、はんだ材料を含む。

続いて、基板15が、表面15aを上に向けられ、ほぼ水平な姿勢で保持される。そして、内部にヒータを備えて加熱することが可能なボンディングツール19により、半導体チップ3が、その機能面3aと反対側の面を吸着されて保持される。半導体チップ3は、機能面3aが下方に向けられて基板15の表面15aに対向される。この状態が、図2Aに示されている。

【0019】

続いて、半導体チップ3の突起電極18が基板15の接続パッド16に当接するように位置合わせされた後、ボンディングツール19が下降されて、半導体チップ3が基板15に接合される。この際、ボンディングツール19により、半導体チップ3が加熱され、その熱により突起電極18のはんだ材料が溶融されて、突起電極18と接続パッド16とが接合される。これにより、基板15と半導体チップ3とを機械的に接合する接続部材5が形成される。接続部材5により、基板15の表面15aに形成された配線と、半導体チップ3の機能素子4とが電氣的に接続される。

【0020】

続いて、ソルダレジスト膜6の開口6aの周縁部上方に、ディスベンサ10が配置されて、そのディスベンサ10から開口6a内にアンダーフィル材7Pが注入される（図2B

参照)。

アンダーフィル材 7 P は、毛細管現象により、基板 1 5 と半導体チップ 3 との隙間 G に進入していき、この隙間 G 内を表面 2 a に沿って広がっていく (図 2 C 参照。アンダーフィル材 7 P が広がる方向を、図 2 C に矢印 A で示す。)。そして、ディスペンサ 1 0 から適当な量のアンダーフィル材 7 P が吐出され、隙間 G およびソルダレジスト膜 6 の開口 6 a の内部がアンダーフィル材 7 P で埋められると、アンダーフィル材 7 P の吐出は停止される。その後、アンダーフィル材 7 P を硬化させるための処理が行われて、開口 6 a 内にアンダーフィル層 7 が形成される。

【0021】

その後、基板 1 5 が配線基板 2 の個片に切断され (切断位置を、図 2 A に符号 C で示す。)、配線基板 2 の端部に端面電極 8 が形成されて、図 1 に示す半導体装置 1 が得られる。

以上のように、ソルダレジスト膜 6 の開口 6 a は、表面 1 5 a を垂直に見下ろす平面視において、その中に半導体チップ 3 が完全に含まれるように形成される。これにより、基板 1 5 と半導体チップ 3 との隙間 G に、ソルダレジスト膜 6 の開口 6 a による段差が生じることを防止できるとともに、その開口 6 a 周縁部の上方のスペースが半導体チップ 3 によって制限されることを防止できる。

【0022】

このため、液状のアンダーフィル材 7 P を基板 1 5 と半導体チップ 3 との隙間 G に充填する際、アンダーフィル材 7 P に空気を取り込まれることによるボイドの形成を防止することができる。その結果、得られたこの半導体装置 1 の信頼性を向上させることができる。

アンダーフィル層 7 にボイドが含まれていないことにより、この半導体装置 1 を、たとえば、リフローにより他の配線基板に接合してもボイドに起因するクラックは生じない。

【0023】

図 3 は、本発明の第 2 の実施形態に係る半導体装置の図解的な断面図である。図 3 において、図 1 に示す各部に対応する部分には、図 1 と同じ参照符号を付している。

この半導体装置 2 1 は、配線基板 2 2 と、この配線基板 2 2 の表面 2 2 a に機能面 3 a を対向させて接続された半導体チップ 3 とを含んでいる。

配線基板 2 2 の表面 2 2 a には、ソルダレジスト膜 6 が形成されている。ソルダレジスト膜 6 には、表面 2 2 a を垂直に見下ろす平面視において、半導体チップ 3 よりも大きなサイズの、すなわち、その内部に半導体チップ 3 が完全に含まれるように形成された開口 6 a が設けられている。

【0024】

配線基板 2 2 において、表面 2 2 a と反対側の外部接続面 2 2 b には、金属ボール 2 3 が設けられている。金属ボール 2 3 は、配線基板 2 2 の内部および／または表面で再配線されて、表面 2 2 a 側の接続部材 5 に電氣的に接続されている。この半導体装置 2 1 は、金属ボール 2 3 を介して、他の配線基板 (実装基板) に接合できる。

この半導体装置 2 1 を製造する場合は、基板 1 5 の代わりに、複数の配線基板 2 2 に相当する領域が密に形成された基板を用いて、上記と同様の製造方法 (図 2 A ないし図 2 D 参照) を実施すればよい。金属ボール 2 3 は、基板を配線基板 2 2 の個片に切り出す前に、この基板に接合されてもよく、配線基板 2 2 の個片が切り出された後に、この配線基板 2 2 に接合されてもよい。

【0025】

本発明の実施形態の説明は以上の通りであるが、本発明は、別の形態でも実施できる。たとえば、配線基板 2、2 2 には、2 つ以上の半導体チップ 3 がフリップチップ接続されていてもよい。この場合、ソルダレジスト膜 6 には、表面 2 a、2 2 a を垂直に見下ろす平面視において、各半導体チップ 3 を完全に含む 1 つまたは 2 つ以上の開口 6 a が形成されているものとすることができる。

【0026】

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【0027】

【図1】 本発明の第1の実施形態に係る半導体装置の図解的な断面図である。

【図2A】 図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図2B】 図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図2C】 図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図2D】 図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図3】 本発明の第2の実施形態に係る半導体装置の図解的な断面図である。

【図4】 フリップチップ接続された半導体チップを有する従来の半導体装置の構造を示す図解的な断面図である。

【図5】 図4に示す配線基板の接続面を垂直に見下ろす図解的な平面図である。

【図6A】 図4に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図6B】 図4に示す半導体装置の製造方法を説明するための図解的な断面図である。

【符号の説明】

【0028】

1, 21 半導体装置

2, 22 配線基板

2a, 22a 表面

3 半導体チップ

3a 機能面

4 機能素子

6 ソルダレジスト膜

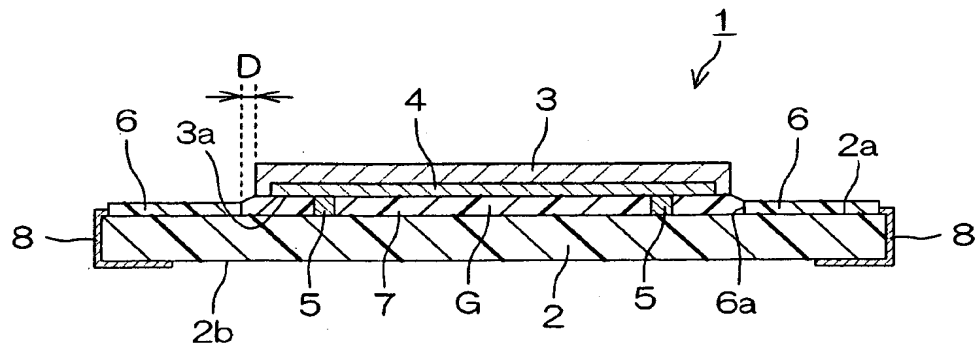
6a ソルダレジスト膜の開口

7 封止樹脂

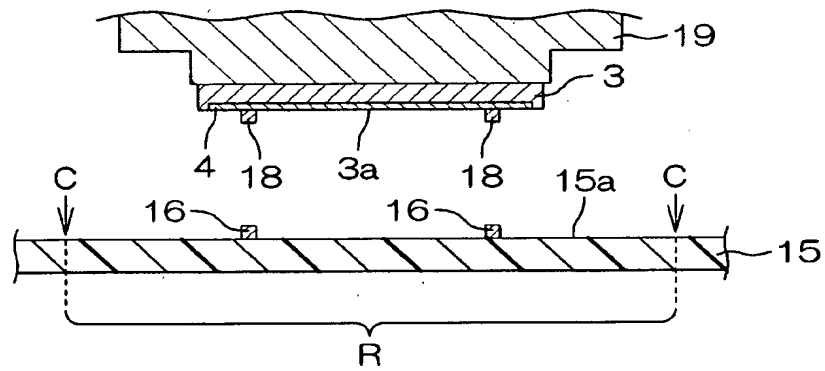
G 配線基板と半導体チップとの隙間

【書類名】 図面

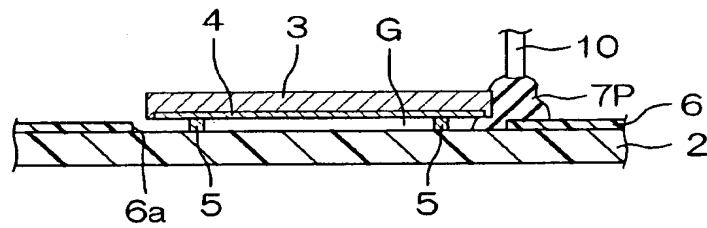
【図 1】



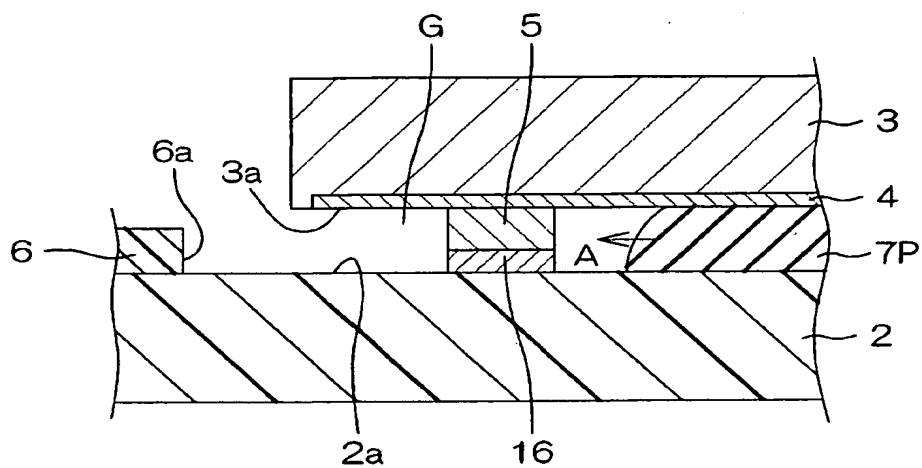
【図 2 A】



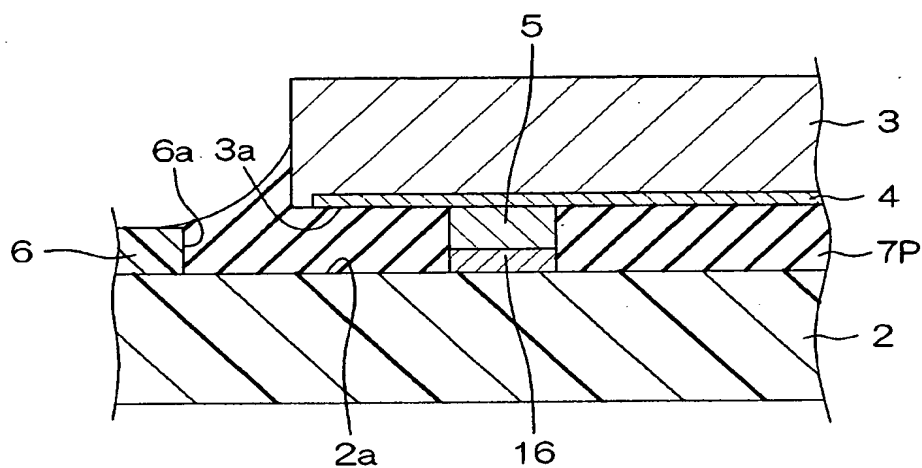
【図 2 B】



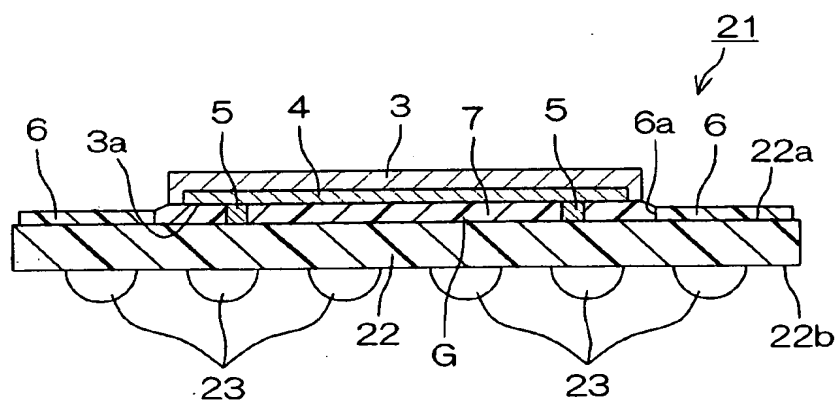
【図 2 C】



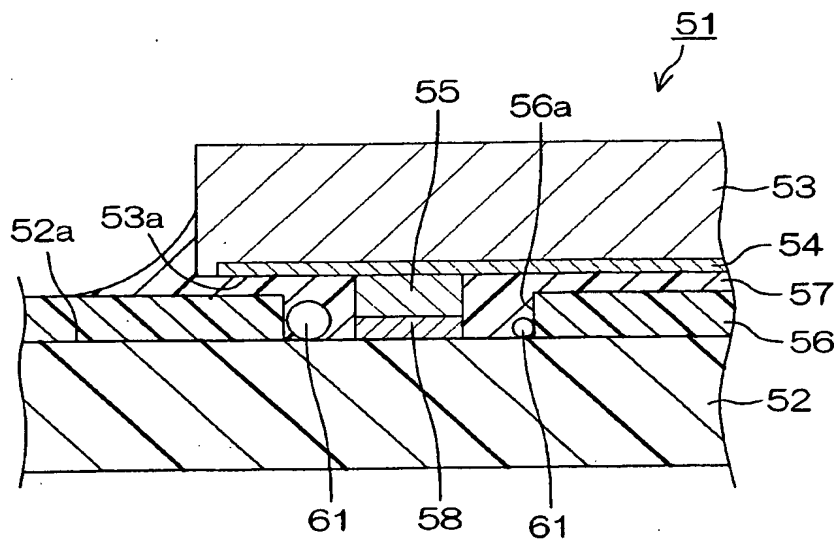
【図 2 D】



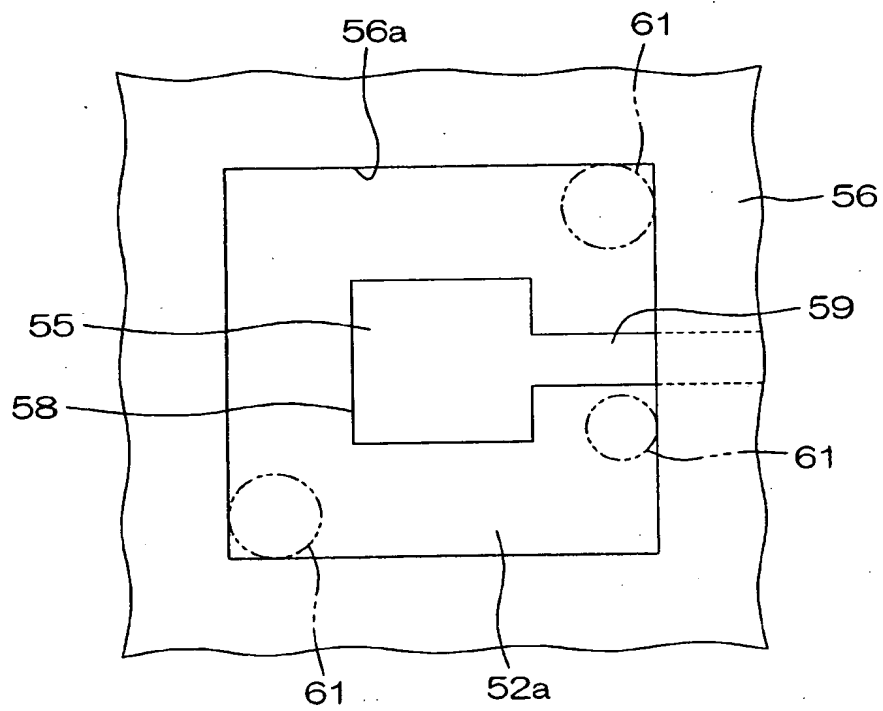
【図 3】



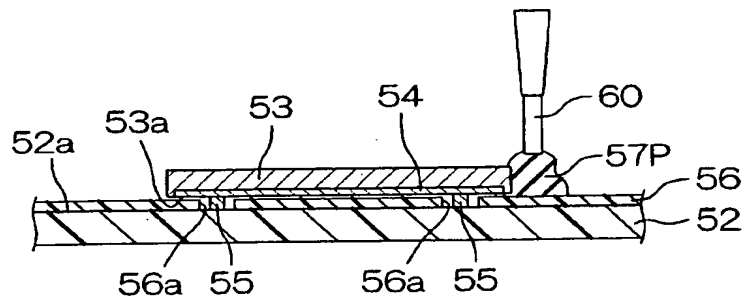
【図 4】



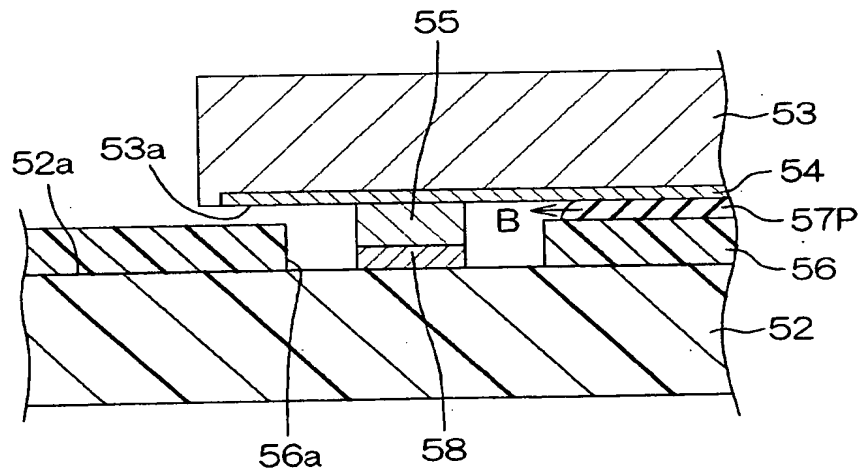
【図 5】



【図 6 A】



【図 6 B】



【書類名】要約書

【要約】

【課題】封止層中のボイドの形成を防止できる半導体装置を提供する。

【解決手段】この半導体装置 1 は、配線基板 2 と、この配線基板 2 の表面 2 a に機能面 3 a を対向させて接続された半導体チップ 3 とを含んでいる。配線基板 2 の表面 2 a には、矩形状の接続パッドが形成されており、配線基板 2 と半導体チップ 3 とは、接続パッドに接続された接続部材 5 によって、所定間隔を保つように接合され、かつ互いに電氣的に接続されている。配線基板 2 の表面 2 a には、ソルダレジスト膜 6 が形成されている。ソルダレジスト膜 6 には、表面 2 a を垂直に見下ろす平面視において、半導体チップ 3 よりも大きなサイズ、すなわち、その内部に半導体チップ 3 が完全に含まれるように形成された開口 6 a が設けられている。配線基板 2 と半導体チップ 3 との隙間 G および開口 6 a を埋めるようにアンダーフィル層 7 が形成されている。

【選択図】 図 1

出願人履歴

000116024

19900822

新規登録

京都府京都市右京区西院溝崎町21番地
ローム株式会社